

(19) 日本国特許庁 (JP)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-268506

(43) 公開日 平成6年(1994)9月22日

(51) Int. Cl. 5	識別記号	庁内整理番号	F I	技術表示箇所
H03K	19/0175			
	17/16	H	9184-5J	
	17/687			
		8941-5J	H03K	19/00
		7436-5J		101 F
				17/687
				F
審査請求	未請求	請求項の数	4	OL
				(全6頁)

(21) 出願番号 特願平5-55644

(22) 出願日 平成5年(1993)3月16日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 原田 尚

兵庫県伊丹市瑞原4丁目1番地

三菱電機株

式会社北伊丹製作所内

(72) 発明者 廣瀬 進一

兵庫県伊丹市瑞原4丁目1番地

三菱電機株

式会社北伊丹製作所内

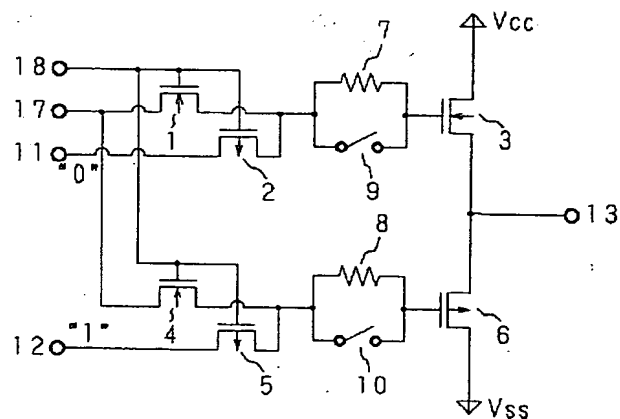
(74) 代理人 弁理士 高田 守

(54) 【発明の名称】 外部出力バッファ

(57) 【要約】

【目的】 低雑音出力モード又は高速出力モードの信号を選択して回路外部へ出力する低消費電力の外部出力バッファを得る。

【構成】 トランジスタ3, 6からなるC-MOS回路を出力段に用い、これへの信号送出をトランジスタ1, 2, 4, 5で制御する。



## 【特許請求の範囲】

【請求項1】 出力対象の信号を、これに重畳する雑音信号のレベルを低減して回路外部へ出力する低雑音出力モードと、該低雑音出力モードによる信号よりも急峻なエッジを有する信号を回路外部へ出力する高速出力モードとを有する外部出力バッファにおいて、

前記出力対象の信号を外部へ出力するC-MOS回路と、前記出力対象の信号の前記C-MOS回路への送出の可否を制御するスイッチとを備えていることを特徴とする外部出力バッファ。

【請求項2】 出力対象の信号を、これに重畳する雑音信号のレベルを低減して回路外部へ出力する低雑音出力モードと、該低雑音出力モードによる信号よりも急峻なエッジを有する信号を回路外部へ出力する高速出力モードとを有する外部出力バッファにおいて、

一導電型のトランジスタ及び並列接続され、信号駆動率が異なる複数の他導電型のトランジスタから構成され、一のトランジスタの選択的導通により前記出力対象の信号を外部へ出力するC-MOS回路と、

前記出力対象の信号の前記C-MOS回路への送出の可否を制御するスイッチとを備えていることを特徴とする外部出力バッファ。

【請求項3】 出力対象の信号を、これに重畳する雑音信号のレベルを低減して回路外部へ出力する低雑音出力モードと、該低雑音出力モードによる信号よりも急峻なエッジを有する信号を回路外部へ出力する高速出力モードとを有する外部出力バッファにおいて、

夫々に並列に接続され、信号駆動率が異なる各複数の一導電型のトランジスタ及び他導電型のトランジスタから構成され、一のトランジスタの選択的導通により前記出力対象の信号を外部へ出力するC-MOS回路を備えていることを特徴とする外部出力バッファ。

【請求項4】 複数の電源から所要の電源を選択して前記C-MOS回路へ与える電源選択回路を備える請求項2記載の外部出力バッファ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は2値信号を回路外部へ出力する外部出力バッファに関する。

【0002】

【従来の技術】 図4は従来の外部出力バッファを示す回路図である。図において41は図示しない回路で生成された出力対象の2値信号が入力される端子である。端子41に入力される信号の外部出力の可否を制御するイネーブル信号は端子42に入力される。端子41、42の信号はNANDゲート43に入力され、NANDゲート43より出力された信号は、抵抗45と低雑音出力モード又は高速出力モードの選択をするスイッチ44の並列回路に入力され、その並列回路の出力はPチャネルトランジスタ46のゲートへ入力される。トランジスタ46のドレインは回路の電源電圧 $V_{cc}$

2

に接続され、トランジスタ46のソースは限流抵抗47を介して回路の電源電圧 $V_{ss}$ に接続されている。このソースと限流抵抗47との接続点を外部出力端子12としている。

【0003】 次に図4の回路図の動作を説明する。端子42に入力されたイネーブル信号が「0」である場合には端子41に入力される信号が「0」、「1」のいずれであるかに拘らずNANDゲート43より出力される信号は「1」である。従ってトランジスタ46のゲートは「1」となるのでトランジスタ46のゲートは「1」となり、

10 トランジスタ46はオフとなる。この結果、端子41の信号は外部出力端子48へ出力されない。

【0004】 端子42に入力されるイネーブル信号が

“1”である場合には端子41に入力される信号が「0」

(又は「1」)であるときNANDゲート43の出力は「

1”(又は「0」)となる。従ってトランジスタ46の

ゲートは「1”(又は「0」)となるのでトランジスタ46はオフ(又はオン)となる。この結果外部出力端子

48は端子48に入力された信号とおなじ「0”(又は「

1”)を示すので、端子41に入力された信号「0”(

20 (又は「1”)は外部出力端子48へ送出されることになる。

【0005】 次に低雑音出力モード及び高速出力モード

の説明をする。図5、6は夫々低雑音出力モード、高速

出力モードの立上り波形図であり、横軸は時間(秒)

を、縦軸は外部出力端子48における電圧を示す。スイッ

チ44がオフである場合にはNANDゲート43から出力される

信号「0”は信号遅延手段として抵抗45を通りトラン

ジスタ46のゲートに入力されるのでトランジスタ46はオン

となり、従って図5に示すようにゆるやかな立上り波

30 形を示す。このときNANDゲート43から出力される信号、

「0”に重畳される雑音信号は抵抗45及び抵抗47により

分圧されて外部出力端子48へ出力されるので、雑音信号

は低減されることになる。これが低雑音出力モードの動

作である。

【0006】 一方、スイッチ45がオンである場合にはNA

NDゲート43から出力された信号「0”は抵抗45を通ら

ずスイッチ44を通りトランジスタ46のゲートに入力され

るのでトランジスタ46はオンとなり、従って図6に示す

ように急峻な傾斜を有する立上り波形が得られる。

40 【0007】

【発明が解決しようとする課題】 従来の外部出力バッ

ファは、トランジスタ46をオンにした場合には限流抵抗47

に電流が流れ、その結果として限流抵抗47による電力消

費が生ずる、という問題点がある。さらに従来の外部出

力バッファはトランジスタ46が動作することができる電

圧が制限されている。従って液晶表示制御回路、プリン

タ駆動制御回路の如き同一の電源電圧により動作させ得

ない装置を駆動せしめる場合にはそれらの装置と同一の

電源で動作する外部出力バッファを複数用意しておかな

50 ければならない、という問題点がある。

【0008】本発明は前記問題点に鑑みなされたものであり、出力段にC-MOS回路を設けることにより限流抵抗が不要となり、これによる電力消費を削減する外部出力バッファの提供を目的とする。さらにC-MOS回路に複数の電源から所要の電源を選択して与える回路を設けることにより複数の電源に対応して動作する複数の装置を複数の電源電圧を用いて駆動せしめることができる外部出力バッファの提供を目的とする。

【0009】

【課題を解決するための手段】第1の発明に係る外部出力バッファは、出力対象の信号を外部へ出力するC-MOS回路と、前記出力対象の信号の前記C-MOS回路への送出の可否を制御するスイッチとを備えている。第2の発明に係る外部出力バッファは、C-MOS回路を一導電型のトランジスタ及び並列接続され、信号駆動率が相異なる2個の他導電型のトランジスタから構成している。第3の発明に係る外部出力バッファは、C-MOS回路を夫々に並列に接続され、信号駆動率が相異なる各複数の一導電型のトランジスタ及び他導電型のトランジスタから構成している。第4の発明では第2、第3発明のC-MOS回路へ複数の電源から所要の電源を選択して与えるようになし

【0010】

【作用】第1の発明にあつては、出力対象の信号をC-MOS回路を用いて外部へ出力するので出力段の限流抵抗による電力消費を削減することができる。第2、3の発明にあつては、導通されたトランジスタの信号駆動率に従って高速出力モード又は低雑音出力モードとなる。第4の発明にあつては選択した電圧を出力信号を受ける回路側へ与えることができる。

【0011】

【実施例】以下、本発明をその実施例を示す図面に基づいて具体的に説明する。図1は、本発明の外部出力バッファの一実施例を示す回路図である。図において、17は図示しない回路で生成された出力対象の2値信号を入力する端子であり、Nチャネルのトランジスタ1、4の各ソースに接続されている。11、12は信号「0」、 「1」を各入力する端子であり、Pチャネルのトランジスタ2、5の各ソースに接続されている。端子18はトランジスタ1、2、4及び5の各ゲートに接続され、端子18から入力される前記出力対象となる2値信号の送出の可否を制御するイネーブル信号により各トランジスタ1、2、4、5をオン又はオフする。トランジスタ1、2（又は4、5）の各ドレインは抵抗7、スイッチ9（又は抵抗8、スイッチ10）の並列回路の一端に接続され、該並列回路の他端はNチャネルのトランジスタ3（又はPチャネルのトランジスタ6）のゲートに接続されている。トランジスタ3、6はC-MOS回路を構成し、トランジスタ3、6のドレインは共に外部出力端子13に接続されている。トランジスタ3、6の各ソースには電源電圧

$V_{CC}$ 、 $V_{SS}$ が与えられている。

【0012】次に図1に示す回路の動作を説明する。端子18から入力されるイネーブル信号が「1」である場合には、トランジスタ1、4はオンとなり、トランジスタ2、5はオフとなる。この状態において端子17の2値信号が「0」から「1」（又は「1」から「0」）に変化するとき、トランジスタ3はオフからオン（又はオンからオフ）、トランジスタ6はオンからオフ（又はオフからオン）となる。従って外部出力端子12に出力される出力対象となる2値信号は「0」から「1」（又は「1」から「0」）への立上り（又は立下り）波形を示す。この場合、運動操作されるスイッチ9、10がオンの状態であるときには高速出力モードに相当し、外部出力端子12から急峻なエッジを有する立上り（又は立下り）波形が出力され、スイッチ9、10がオフの状態であるときには抵抗7（又は8）の存在により低雑音出力モードに相当し、外部出力端子12から緩やかなエッジを有する立上り（又は立下り）波形が出力される。

【0013】端子18のイネーブル信号が「0」である場合には、トランジスタ1、4は共にオフとなり、トランジスタ2、5は共にオンとなるので、トランジスタ3、6の各ゲートは「0」、「1」となり、その結果トランジスタ3、6は共にオフとなる。従って外部出力端子12はハイインピーダンス状態を示す。

【0014】以上説明したように端子17に入力される出力対象となる2値信号は、トランジスタ3、6から構成されるC-MOS回路により回路外部へ出力されるので限流抵抗は不要であり、従って限流抵抗による電力消費は生じない。なお、トランジスタ1、2、4、5に替えてPチャネルトランジスタ及びNチャネルトランジスタを対にしたC-MOSトランスミッションゲートを用いてもよい。

【0015】図2は、本発明の外部出力バッファの他の実施例を示す回路図である。端子114はNチャネルのトランジスタ101、104及び107の各ソースに接続され、CMOSしない回路で生成された出力対象となる2値信号を入力するものである。端子115はPチャネルのトランジスタ102のソースに接続され、信号「0」を該ソースに与えるものである。端子113はトランジスタ101、102の各ゲートに接続され、出力対象信号の送出の可否を制御するイネーブル信号（「1」で出力可）を前記各ゲートに与えるものである。

【0016】端子117はPチャネルのトランジスタ105、108の各ソースに接続され、信号「1」を前記各ソースに与えるものである。端子116（又は118）はトランジスタ104、105（又は107、108）の各ゲートに接続され、前述したところと同様のイネーブル信号を前記各ゲートに与えるものである。トランジスタ101、102の各ドレインは共に抵抗120、スイッチ121の並列回路の一端に接続され、該並列回路の他端はNチャネルのトランジスタ103のゲ

ートに接続されている。トランジスタ104,105(又は107,108)の各ドレインは共にPチャネルのトランジスタ106(又は109)のゲートに接続され、トランジスタ103,106(又は109)でC-MOS回路を構成している。トランジスタ109の信号駆動率はトランジスタ106の信号駆動率よりも低い。

【0017】前記トランジスタ106(又は109)のソースに電源電圧 $V_{SS}$ (又は $V_{SL}$ )が供給されている。Pチャネルのトランジスタ110及びNチャネルのトランジスタ111の各ソースには電源電圧 $V_{CC}$ 及び $V_{SH}$ が夫々供給されている。端子112はトランジスタ110,111の各ゲートに接続され、この実施例ではスイッチ121がオン(又はオフ)のときにはトランジスタ103のソースに $V_{CC}$ (又は $V_{SH}$ )を与えるように制御信号“1”(又は“0”)を入力するものとする。トランジスタ110,111のドレインは共にトランジスタ103のソースと他の装置(図示せず)とに接続され、 $V_{CC}$ 又は $V_{SH}$ が前記C-MOS回路及び他の装置に供給される。トランジスタ103,106及び109のドレインは共に外部出力端子122に接続されている。

【0018】次に図2に示す回路の動作の説明をする。トランジスタ106,109の信号駆動率は相異なり、トランジスタ106の方が高いので、その導通による信号出力では立上り、立下りの急峻な高速出力モードの波形となる。逆にトランジスタ109の導通による信号出力は立上り、立下りの緩やかな、従って雑音が抑制された低雑音出力モードの波形となる。従って高速出力モード、低雑音出力モードの夫々に対応して端子116,118のイネーブル信号を夫々“1”とする。

【0019】一方スイッチ121のオン、オフは夫々高速出力モード、低雑音出力モードに相当し、この実施例ではスイッチ121のオン/オフと端子112へ与える信号の“1”/“0”とが連動する。従って高速出力モードでは出力信号の“1”/“0”は $V_{CC}/V_{SS}$ となり、低雑音出力モードでは出力信号の“1”/“0”は $V_{SH}/V_{SL}$ となる。

【0020】以下より詳細に説明する。スイッチ121をオンとし、端子113,116の各イネーブル信号を“1”とし、端子118のイネーブル信号を“0”とした状態の場合(高速出力モード)にはトランジスタ101,104及び108がオンとなり、またトランジスタ102,105及び107がオフとなる。この状態において端子114の出力対象の2値信号が“0”から“1”(又は“1”から“0”)に変化するとき、トランジスタ103はオフからオン(又はオンからオフ)、トランジスタ106はオンからオフ(又はオフからオン)となる。トランジスタ109はオフのままである。

【0021】従って外部出力端子122に出力される2値信号は“0”から“1”(又は“1”から“0”)の急峻なエッジを有する立上り(又は立下り)波形を示す。この場合端子112の制御信号が“1”となるのでトラン

ジスタ111がオン、トランジスタ110がオフとなり、その結果トランジスタ103のソースに電源電圧 $V_{CC}$ が供給される。従って外部出力バッファはこれに接続される他の装置に電源電圧 $V_{CC}$ を供給し、さらに外部出力端子122は電圧 $V_{CC}$ の信号“1”を示す。“0”はトランジスタ106のオンにより $V_{SS}$ である。

【0022】次にスイッチ121をオフとし、端子113,118の各イネーブル信号を“1”とし、端子116のイネーブル信号を“0”とした状態の場合(低雑音出力モード)にはトランジスタ101,105及び107がオンとなり、またトランジスタ102,104及び108がオフとなる。この状態において出力対象の2値信号が“0”から“1”(又は“1”から“0”)に変化するとき、トランジスタ103はオフからオン(又はオンからオフ)、トランジスタ109はオンからオフ(又はオフからオン)となる。トランジスタ106はオフのままである。

【0023】従って外部出力端子122に出力される2値信号は“0”から“1”(又は“1”から“0”)の緩やかなエッジを有する立上り(又は立下り)波形を示す。この場合、スイッチ121がオンの場合には高速出力モードに相当し、外部出力端子122から急峻なエッジを有する立上り波形が出力される。この場合、端子112の制御信号が“0”であるのでトランジスタ110がオン、トランジスタ111がオフとなり、トランジスタ103のソースには $V_{SH}$ が与えられる。従って他の装置へ供給する電源電圧又は“1”の電圧は $V_{SH}$ となる。またトランジスタ109のオンにより“0”の電圧は $V_{SL}$ となる。

【0024】出力端子113,116,118のイネーブル信号が共に“0”である場合には、トランジスタ101,104,107は共にオフとなり、トランジスタ102,105,108は共にオンとなるので、トランジスタ103,106,109の各ゲートは各“0”、“1”、“1”となり、その結果トランジスタ103,106,109は共にオフとなる。従って、外部出力端子122はハイインピーダンス状態を示す。

【0025】以上説明したように本実施例の外部出力バッファは、出力段にC-MOS回路を設けることにより出力段の限流抵抗による電力消費を削減することができる。また上述の実施例のようにトランジスタ110,111からなる電源選択回路を設けることにより出力対象の2値信号を複数種類の異なる電源電圧に対応する2値信号として回路外部へ出力することができる。なお上述の実施例ではモード選択用のスイッチ121のオン、オフに連動して電源電圧 $V_{CC}$ 、 $V_{SH}$ を選択するように構成したが、モード選択と電圧選択とを独立させることも可能である。

【0026】また前述の実施例では2種類の電源電圧より所要の電源を選択するものとしたが、3種類以上の電源電圧より所要の電源を選択するように構成してもよい。またC-MOS回路の並列トランジスタの数は3個以上であってもよい。更にトランジスタ110,111など入力側のトランジスタはC-MOSトランスミッションゲートに代

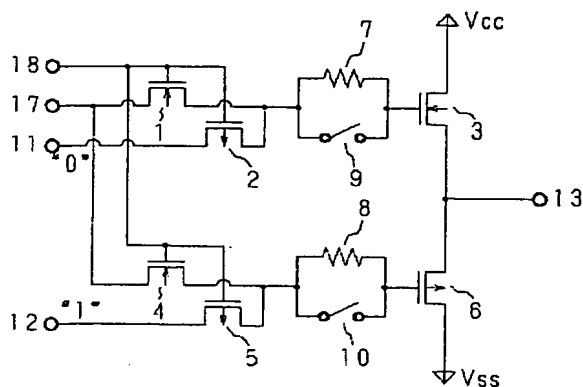
替可能である。

【0027】図3は、本発明の外部出力バッファの更に他の実施例を示す回路図である。この実施例はC-MOS回路のNチャネル側も選択的に導通させる2つのトランジスタを並列接続した構成としたものである。出力対象の2値信号を与える端子218はNチャネルトランジスタ201, 204, 104, 107のソースに接続されている。トランジスタ201, 204のドレインはNチャネルトランジスタ203, 206のゲートに接続されている。信号駆動率はトランジスタ203が高く、トランジスタ206が低い。信号“0”が与えられる端子219はPチャネルトランジスタ202, 205のソースに接続され、これらのトランジスタのドレインは夫々トランジスタ203, 206のゲートに接続されている。

【0028】各別のイネーブル信号が与えられる端子217及び220はトランジスタ201, 202のゲート及びトランジスタ204, 205のゲートに夫々接続されている。各ソースが夫々電圧 $V_{CC}$ ,  $V_{SH}$ に連なるトランジスタ111, 110のドレインは一括してトランジスタ203, 206のソースに接続されている。トランジスタ203, 206のドレインはPチャネルトランジスタ106, 109のドレインと一括されて出力端子122と接続されている。

【0029】その他の構成は図2に示す実施例と同様であるので同符号を付して説明を省略する。この実施例においては高速出力モードとする場合には信号駆動率が高いトランジスタ203, 106の組合せを選択すべく端子217, 116のイネーブル信号を“1”とし、端子220, 118のイネーブル信号を“0”とする。低雑音出力モードとする場合には逆に信号駆動率が低いトランジスタ206, 109の組合せを選択すべく端子220, 118のイネーブル信号を“1”とし、端子217, 116のイネーブル信号を“0”とする。Pチャネルトランジスタ側の電圧、即ち出力信号“0”の電圧は高速出力モード時には $V_{SS}$ 、低雑音出力モード時には $V_{SL}$ となる。

【図1】



【0030】一方Nチャネルトランジスタ側の電圧、即ち出力信号“1”の電圧はトランジスタ203, 206の選択、つまりモード選択とは独立して端子112の制御信号を“1”、“0”にすることで $V_{CC}$ ,  $V_{SH}$ を随意に選択できる。なお端子217, 220, 116, 118のイネーブル信号を総て“0”とする場合はハイインピーダンス状態が得られることは言うまでもない。なおこの実施例においてもC-MOS回路のPチャネル側、Nチャネル側のトランジスタ数を各3個以上としてもよいことは勿論である。また、トランジスタ110, 111など入力側のトランジスタはC-MOSトランSMISSIONゲートに代替可能である。

【0031】

【発明の効果】以上説明したように本発明の外部出力バッファは、出力段にC-MOS回路を設けることにより限流抵抗による電力消費を削減することができ、さらに電源選択回路を設けることによりC-MOS回路から複数種類の異なる電源電圧に対応する信号を回路外部へ出力するので複数の電源電圧に対応して動作する複数の装置を駆動せしめることができる。

【図面の簡単な説明】

【図1】本発明の外部出力バッファを示す回路図である。

【図2】本発明の外部出力バッファの他の実施例を示す回路図である。

【図3】本発明の外部出力バッファの更に他の実施例を示す回路図である。

【図4】従来の外部出力バッファを示す回路図である。

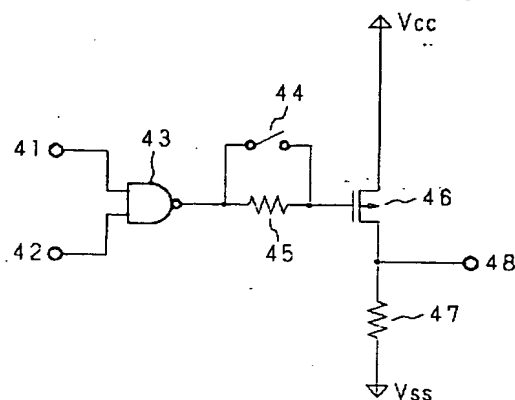
【図5】低雑音出力モードの立上り波形図である。

【図6】高速出力モードの立上り波形図である。

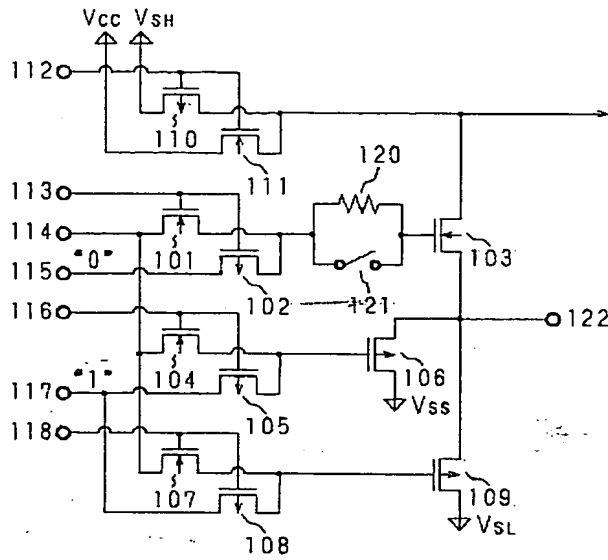
【符号の説明】

1～6 トランジスタ  
101～111 トランジスタ  
201～206 トランジスタ

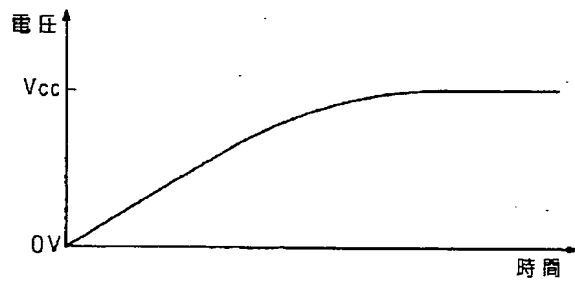
【図4】



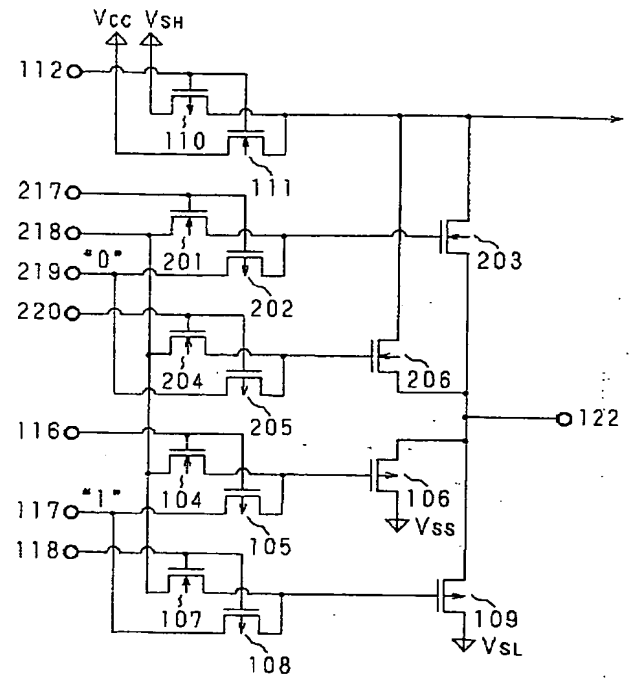
【図2】



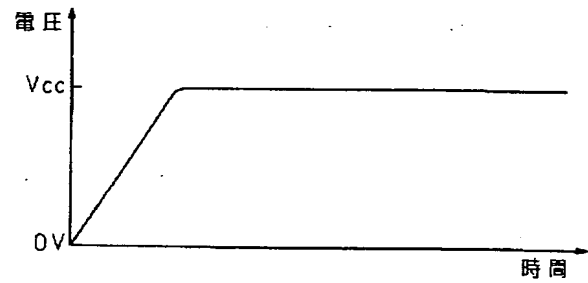
【図5】



【図3】



【図6】



BEST AVAILABLE COPY